

J1011 U.S. PTO
10/04/7272
01/14/02

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 27326 호
Application Number

출원년월일 : 2001년 05월 18일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)

2001 05 31
년 월 일

특허청
장
COMMISSIONER

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2001.05.18
【국제특허분류】	H01L
【발명의 명칭】	다수개의 반도체 칩이 실장되는 테이프 캐리어 패키지 및 그의 제조방법
【발명의 영문명칭】	A tape carrier package mounted semiconductor chips and a method of the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	박범열
【성명의 영문표기】	PARK, Bum Yeul
【주민등록번호】	620701-1056617
【우편번호】	150-053
【주소】	서울특별시 영등포구 신길3동 신길1차 우성아파트 102동 106호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

1020010027326

2001/6/

【수수료】

【기본출원료】 12 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 10 향 429,000 원

【합계】 458,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

다수개의 반도체 칩을 하나의 패키지에 실장하여 실장 면적을 최소화한 패키지 및 이의 제조 방법이 제공된다. 상기 패키지는 다수개의 반도체 칩들이 실장되는 하나의 필름을 구비하고 상기 필름이 접혀서 상기 다수개의 반도체 칩들이 하나의 패키지에 패키징된다. 상기 패키지의 제조방법은 다수 개의 반도체 칩들을 하나의 필름에 실장하는 단계, 및 상기 필름을 접어서 상기 다수개의 반도체 칩들을 하나의 패키지에 패키징하는 단계를 구비한다. 상기 필름은 상기 필름사이에 적어도 하나의 상기 반도체 칩이 위치하도록 2회 이상 접하고, 상기 패키지는 테이프 캐리어 패키지인 것이 바람직하다.

【대표도】

도 5

【명세서】

【발명의 명칭】

다수개의 반도체 칩이 실장되는 테이프 캐리어 패키지 및 그의 제조방법{A tape carrier package mounted semiconductor chips and a method of the same}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 종래의 테이프 캐리어 패키지의 단면도이다.

도 2 내지 도 4는 본 발명의 일 실시예에 따른 2개의 반도체 칩을 하나의 패키지에 패키징하는 순서를 나타낸다.

도 5는 본 발명의 일 실시예에 따른 2개의 반도체 칩을 하나의 패키지에 패키지한 테이프 캐리어 패키지의 측면도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<5> 본 발명은 반도체 메모리장치에 관한 것으로, 보다 상세하게는 다수개의 반도체 칩을 하나의 패키지에 패키징할 수 있는 테이프 캐리어 패키기에 관한 것이다.

<6> 테이프 캐리어 패키지(Tape Carrier Package; 이하 'TCP'라 한다.) 또는 칩-온 필름(chip on film; 이하 'COF'라 한다..) 형태의 패키지는 다-핀(multi-pinned) 반도체 메모리 장치를 작은 사이즈 단위로 패키징하는 최적의 패키지 형태이고, 현재 액정 디스

플레이 구동용 집적회로 (liquid crystal display driving integrate chip의 패키지 방
법으로 널리 사용되고 있다.

<7> 도 1은 종래의 테이프 캐리어 패키지의 단면도이다. 도 1을 참조하면, TCP는 잘 알
려진 바와 같이 반도체 칩(7), 디바이스 홀(4)을 구비하는 절연 필름(또는 베이스 필름
이라고도 한다.), 절연 필름(1) 위에 형성되는 도전 패턴(3), 반도체 칩(7)의 전극(미
도시)과 도전 패턴(3)을 전기적으로 접속하는 범프(2), 도전 패턴(3)을 보호하기 위한
솔더 레지스트(solder resist; 5) 및 반도체 칩(7)과 절연 필름(1) 사이를 밀봉하는 봉지
수지(sealing resin)를 구비한다.

<8> 종래의 TCP는 하나의 반도체 칩을 패키징하는 구조이므로, 여러 개의 반도체 칩을
필요로 하는 반도체 메모리 장치에서 패키지의 사이즈를 감소시키는데 어려움이 있다.

【발명이 이루고자 하는 기술적 과제】

<9> 본 발명이 이루고자 하는 기술적인 과제는 다수개의 반도체 칩을 하나의 패키지에
패키징하여 패키지 사이즈를 최소화한 패키지 및 이를 제조하는 방법을 제공하는 것이다

【발명의 구성 및 작용】

<10> 상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 패키지는 다수개의 반
도체 칩들이 실장(mount)되는 하나의 필름을 구비하고, 상기 필름이 접혀서 상기 다수개
의 반도체 칩들이 하나의 패키지에 패키징된다.

<11> 상기 필름은 절연 필름 및 상기 절연 필름 표면에 형성되는 도전 패턴을 구비하며,
상기 필름은 상기 필름 사이에 적어도 하나의 상기 반도체 칩이 위치하도록 2회 이상 접

하는 것이 바람직하다.

<12> 바람직하게는 상기 패키지는 테이프 캐리어 패키지이며, 상기 필름은 180°(도) 접혀, 접착물질로 접착된다.

<13> 상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 패키지 제조 방법은 (a) 다수 개의 반도체 칩들을 하나의 필름에 실장하는 단계, 및 (b) 상기 필름을 접어서 상기 다수개의 반도체 칩들을 하나의 패키지에 패키징하는 단계를 구비한다.

<14> 상기 패키지의 제조 방법은 (a) 단계 이전에 절연 필름을 형성하는 단계 및 상기 절연 필름 표면에 도전 패턴을 형성하는 단계를 더 구비하며, 상기 (b) 단계는 상기 필름 사이에 적어도 하나의 상기 반도체 칩이 위치하도록 2회 이상 접힌다. 상기 필름은 180°(도) 접혀, 접착물질로 접착된다.

<15> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<16> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<17> 도 2 내지 도 4는 본 발명의 일실시예에 따른 2개의 반도체 칩을 하나의 패키지의 패키징하는 순서를 나타낸다. 도 2 내지 도 4에서는 설명의 편의상 두 개의 반도체 칩이 하나의 패키지, 예컨대 TCP에 패키지되는 경우를 나타내고 있으나, 본 발명은 다수개의 반도체 칩을 하나의 TCP에 패키지하는 경우를 포함한다.

<18> 또한, 본 발명은 COF 형태의 패키지(COF structure package)에도 적용된다. COF의

구조 및 제조 방법은 TCP의 구조 및 제조 방법과 유사하다. 그러나 COF의 절연 필름은 TCP와 다르게 디바이스 홀을 구비하지 않는다.

<19> 즉, COF는 절연 필름 표면에 형성되는 도전 패턴, 도전 패턴 표면에 형성되어 도전 패턴을 보호하기 위한 보호 필름(protective film) 및 범프(bump)를 통하여 도전 패턴과 전기적으로 접속되는 반도체 칩을 구비한다. 그리고 COF는 TCP 보다 더 얇고 유연하다.

<20> 도 2는 테이프 캐리어 패키지를 패키징하기 전의 필름의 평면도를 나타낸다. 도 2를 참조하면, 패키징을 위한 단위 절연 필름(11)의 표면에는 도전 패턴(13)이 형성되고, 도전 패턴의 표면에는 보호 필름(protective film)이 형성되며, 도전 패턴(13)과 제 1반도체 칩(15) 및 제 2반도체 칩(17)의 전극은 범프(bump)를 통하여 전기적으로 접속된다. 각각의 반도체 칩 들(15, 17)이 실장(mounted)된 TCP의 구조는 도 1의 TCP 구조와 동일하므로 이에 대한 상세한 설명은 생략한다.

<21> 우선 도 2에서는 2개의 반도체 칩(15, 17)을 패키지 할 수 있도록 설계되어진 필름(이하 절연 필름과 도전 패턴을 합하여 '필름'이라 한다.)에 제 1반도체 칩(15) 및 제 2반도체 칩(17)을 실장하며, 제 2반도체 칩(17)은 제 1반도체 칩(15)과 다른 기능을 갖는 것이 바람직하나, 경우에 따라서는 동일한 기능을 가질수도 있다. 그리고 도 3에서는 TCP 사이즈를 줄이기 위하여 2 개의 반도체 칩이 실장된 필름을 소정의 방향으로 접는다.

<22> 필름은 반도체 칩이 실장된 부분을 제외하고 절연 필름 쪽으로 접하는 것이 바람직하나, 도전 패턴이 형성된 쪽으로 접혀도 무방하다. 패키지 사이즈를 줄이기 위하여, 접하는 회수는 2회 또는 그 이상으로 할 수 있음을 당연하다.

<23> 도 4는 2개의 반도체 칩들(15 및 17)을 하나의 패키지에 패키징한 TCP의 평면도이다. 도 4를 참조하면, TCP의 전면에는 제 2반도체 칩(17)이 실장되며, TCP의 후면에는 제 1반도체 칩(15)이 실장된다.

<24> 도 5는 본 발명의 일 실시예에 따른 2개의 반도체 칩을 하나의 패키지에 패키지한 TCP의 측면도이다. 즉, 도 5는 도 4의 측면도이다. 도 5를 참조하면, 180° 접혀 진 도전 패턴(13)이 형성된 절연 필름(11)을 사이에 두고 제 1반도체 칩(15)과 제 2반도체 칩(17)이 각각 실장된다. 접혀진 절연 필름(11)사이에는 접착물질로 접착될 수 있다. 따라서 다수개의 반도체 칩들을 하나의 TCP로 패키징할 수 있으므로 TCP의 전체 사이즈가 감소 한다. 그리고 상기의 TCP를 사용하는 모듈에서 설계 자유도를 제공할 수 있다.

<25> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 즉, 2개 또는 그 이상의 반도체 칩들이 하나의 필름에 실장되고, 상기 필름은 TCP 또는 COP의 전체 사이즈를 감소시키기 위하여 소정의 방향으로 2회 또는 그 이상의 횟수로 접힐 수 있다. 그러므로 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<26> 상술한 바와 같이 본 발명에 따른 TCP/COF 패키지는 다수개의 반도체 칩들을 하나의 필름에 실장하고 상기 필름을 소정의 방향과 각도로 접어서 하나의 패키지에 패키징 할 수 있으므로 전체 패키지의 사이즈를 줄일 수 있는 장점이 있다.

【특허 청구범위】**【청구항 1】**

다수개의 반도체 칩들이 실장(mount)되는 필름을 구비하고,
상기 필름이 소정의 방향으로 접혀서 상기 다수개의 반도체 칩들이 하나의 패키지
에 패키징되는 패키지.

【청구항 2】

제 1항에 있어서, 상기 필름은,
절연 필름; 및
상기 절연 필름 표면에 형성되는 도전 패턴을 구비하는 것을 특징으로 하는
패키지.

【청구항 3】

제 1항에 있어서, 상기 필름은 상기 필름사이에 적어도 하나의 상기 반도체 칩이
위치하도록 2회 이상 접히는 것을 특징으로 하는 패키지.

【청구항 4】

제 1항에 있어서, 상기 패키지는 테이프 캐리어 패키지 또는 칩 온 필름(chip on
film) 패키지인 것을 특징으로 하는 패키지.

【청구항 5】

제 1항에 있어서, 상기 필름은 소정의 방향으로 180° 접하고 소정의 접착물질로 접
착되는 것을 특징으로 하는 패키지.

【 청구항 6】

(a) 다수 개의 반도체 칩들을 하나의 필름에 실장하는 단계; 및
(b) 상기 필름을 소정의 방향으로 접어서 상기 다수개의 반도체 칩들을 하나의 패
키지에 패키징하는 단계를 구비하는 것을 특징으로 하는 패키지 제조 방법.

【 청구항 7】

제 6항에 있어서, 상기 패키지 제조 방법은,

상기 (a) 단계 이전에,
절연 필름을 형성하는 단계; 및

상기 절연 필름 표면에 도전 패턴을 형성하는 단계를 더 구비하는 것을 특징으로
하는 패키지 제조 방법.

【 청구항 8】

제 6항에 있어서, 상기 (b) 단계는 상기 필름 사이에 적어도 하나의 상기 반도체 칩
이 위치하도록 2회 이상 접하는 것을 특징으로 하는 패키지 제조 방법.

【 청구항 9】

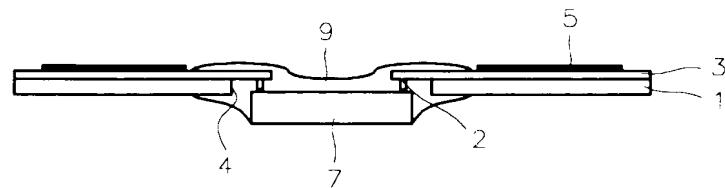
제 6항에 있어서, 상기 필름은 180° 접혀, 접착물질로 접착되는 것을 특징으로 하는
패키지 제조 방법.

【 청구항 10】

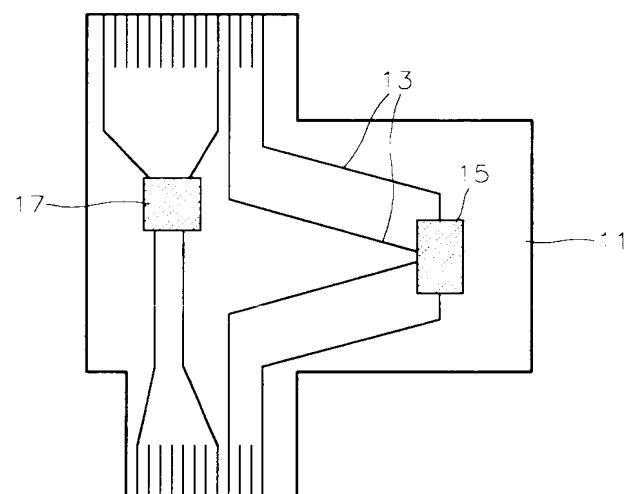
제 1면에 두 개의 반도체 칩들을 실장하는 필름을 구비하고, 상기 필름이 제 2면으
로 180° 접혀 접착되어 하나의 패키지에 패키징되는 것을 특징으로 하는 패키지.

【도면】

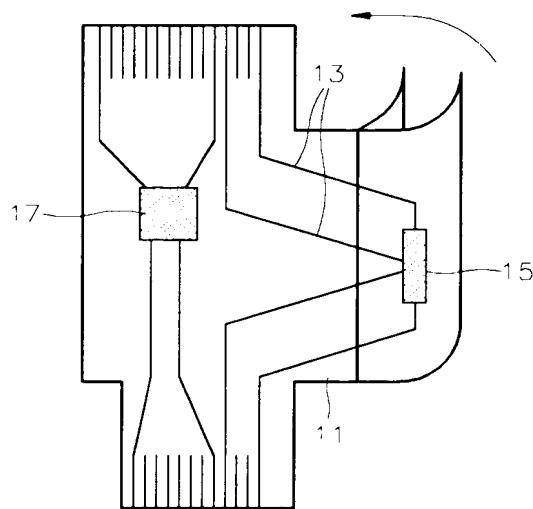
【도 1】



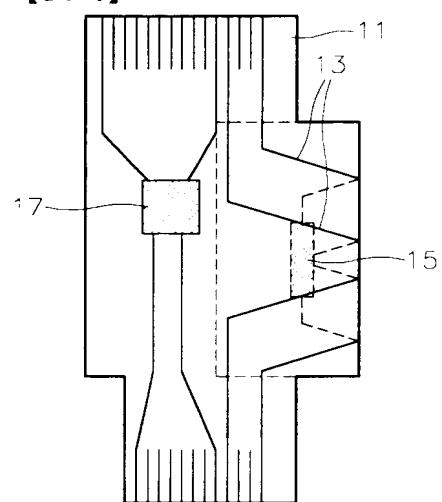
【도 2】



【도 3】



【도 4】



【도 5】

